

Layer	FPGA	Hybrid	Physical ID	Prod. ID	Hybrid ID	DAQ connector	DAQ Crate Input	Crate Terminal	Slot	Channel	Name	Slot	Channel	Name	Slot	Channel	Name	Slot	Channel	Name	Crate	Black box	A509H	A509
1	4	0	B1S	17	B0	P1_B	F4	3	1	0	DVDD0	1	1	AVDD0	1	2	VBIAS00	6	0	DVDD0	Lower	Lower	4	2
2	4	1	B1A	4	B1	P1_B	F4	3	1	3	DVDD1	1	4	AVDD1	1	5	VBIAS10	6	1	AVDD0	Lower	Lower	4	2
3	3	0	B2S	24	B3	P2_B	F3	3	1	9	DVDD3	1	10	AVDD3	1	11	VBIAS30	6	3	AVDD1	Lower	Lower	4	2
4	4	2	B2A	9	B2	P1_B	F4	3	1	6	DVDD2	1	7	AVDD2	1	8	VBIAS20	6	2	DVDD1	Lower	Lower	4	2
5	3	1	B3S	28	B4	P2_B	F3	3	3	0	DVDD0	3	1	AVDD0	3	2	VBIAS00	6	4	DVDD2	Lower	Lower	5	2
6	3	2	B3A	3	B5	P2_B	F3	3	3	3	DVDD1	3	4	AVDD1	3	5	VBIAS10	6	5	AVDD2	Lower	Lower	5	2
7	6	1	B4S	13	B7	P3_B	F6	3	3	9	DVDD3	3	10	AVDD3	3	11	VBIAS30	6	7	AVDD3	Lower	Lower	5	2
8	6	0	B4A	8	B6	P3_B	F6	3	3	6	DVDD2	3	7	AVDD2	3	8	VBIAS20	6	6	DVDD3	Lower	Lower	5	2
9	6	2	B5S	5	B8	P3_B	F6	3	5	0	DVDD0	5	1	AVDD0	5	2	VBIAS00	6	8	DVDD4	Lower	Lower	6	2
10	5	2	B5A	7	B9	P4_B	F5_H2	3	5	3	DVDD1	5	4	AVDD1	5	5	VBIAS10	6	9	AVDD4	Lower	Lower	6	2
1	0	1	T1A	12	T1	P1_T	F0	4	1	3	DVDD1	1	4	AVDD1	1	5	VBIAS10	6	1	AVDD0	Upper	Upper	1	1
2	0	0	T1S	22	T0	P1_T	F0	4	1	0	DVDD0	1	1	AVDD0	1	2	VBIAS00	6	0	DVDD0	Upper	Upper	1	1
3	1	0	T2A	21	T3	P2_T	F1	4	1	9	DVDD3	1	10	AVDD3	1	11	VBIAS30	6	3	AVDD1	Upper	Upper	1	1
4	0	2	T2S	6	T2	P1_T	F0	4	1	6	DVDD2	1	7	AVDD2	1	8	VBIAS20	6	2	DVDD1	Upper	Upper	1	1
5	1	2	T3A	29	T5	P2_T	F1	4	3	3	DVDD1	3	4	AVDD1	3	5	VBIAS10	6	5	AVDD2	Upper	Upper	2	1
6	1	1	T3S	1	T4	P2_T	F1	4	3	0	DVDD0	3	1	AVDD0	3	2	VBIAS00	6	4	DVDD2	Upper	Upper	2	1
7	2	1	T4A	19	T7	P3_T	F2	4	3	9	DVDD3	3	10	AVDD3	3	11	VBIAS30	6	7	AVDD3	Upper	Upper	2	1
8	2	0	T4S	26	T6	P3_T	F2	4	3	6	DVDD2	3	7	AVDD2	3	8	VBIAS20	6	6	DVDD3	Upper	Upper	2	1
9	2	2	T5A	15	T8	P3_T	F2	4	5	0	DVDD0	5	1	AVDD0	5	2	VBIAS00	6	8	DVDD4	Upper	Upper	3	1
10	5	0	T5S	10	T9	P4_T	F5_H0	4	5	3	DVDD1	5	4	AVDD1	5	5	VBIAS10	6	9	AVDD4	Upper	Upper	3	1